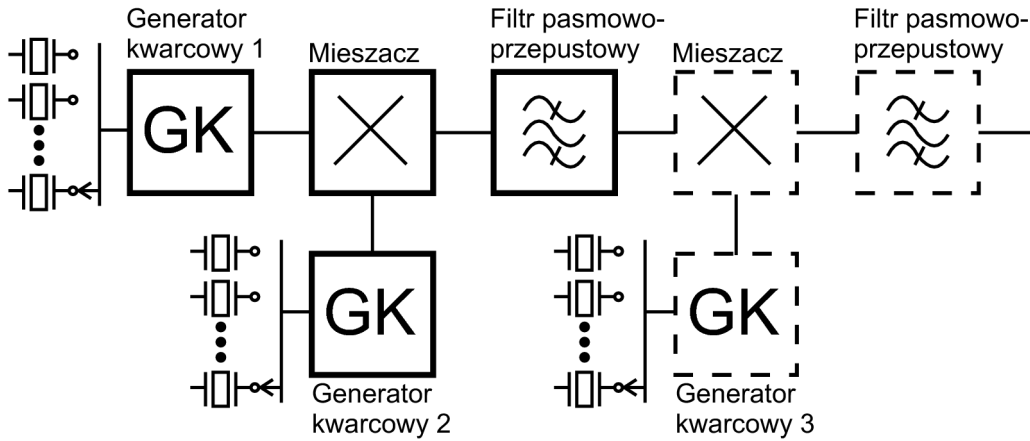
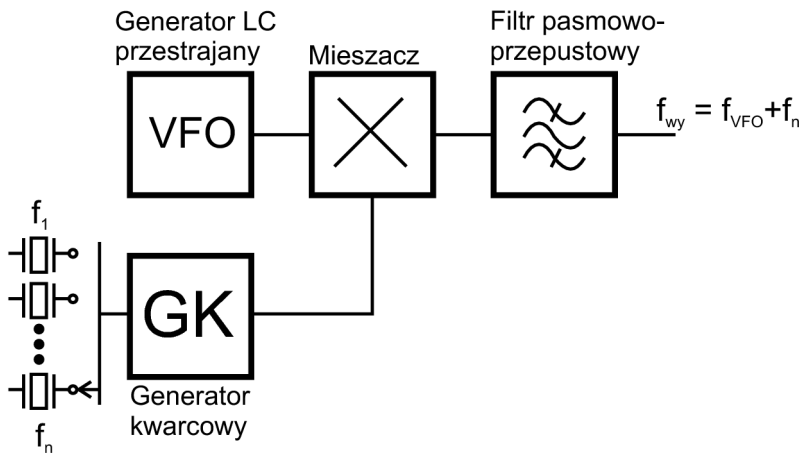


# Analogowe systemy syntezy częstotliwości

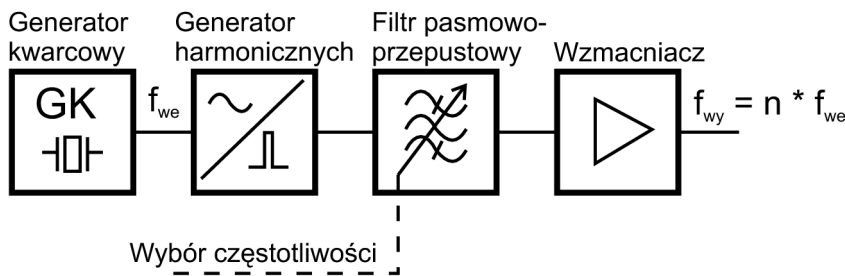
## Niekoherentna bezpośrednia synteza częstotliwości



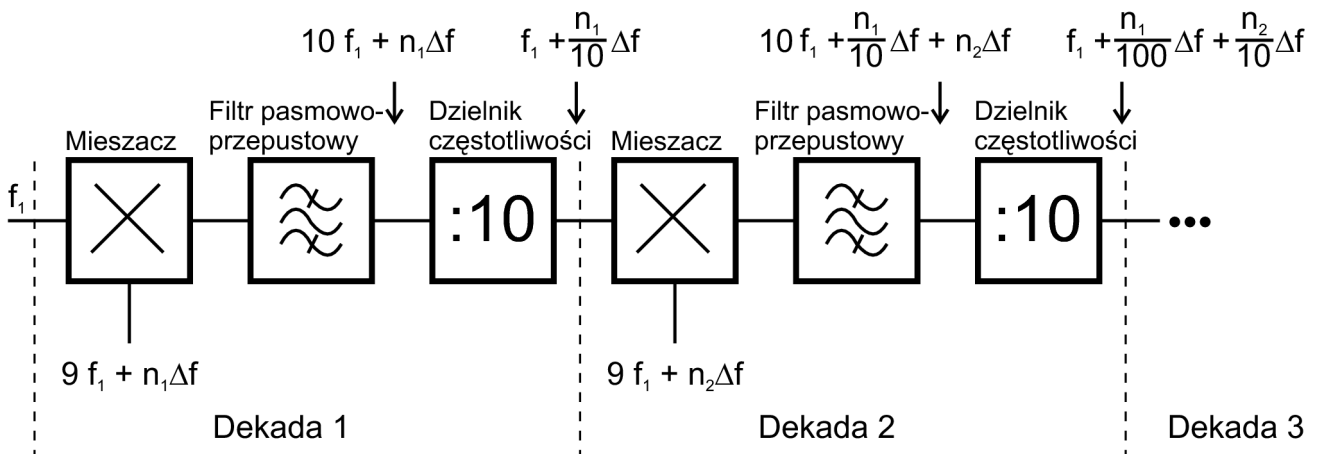
## Synteza z wykorzystaniem generatora przestrajanego (premikser)



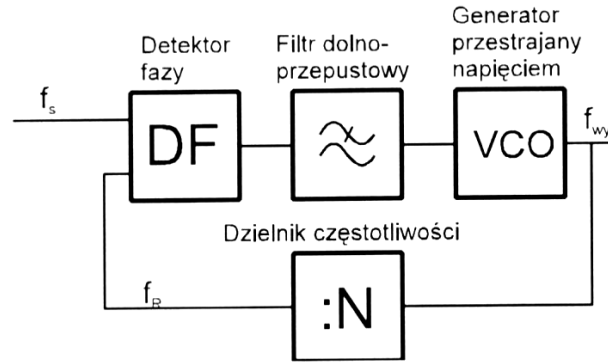
## Koherentna synteza częstotliwości z generatorem harmonicznymi



## Dekadowa bezpośrednia synteza częstotliwości



## Pętla fazowa



Częstotliwość wyjściowa pętli fazowej w stanie synchronizacji:  $f_{wy} = N f_r$

### Model matematyczny pętli

Detektor fazy

$$u_x = F_d(\phi_s - \phi_r)$$

przybliżenie liniowe

$$u_x = K_d(\phi_s - \phi_r)$$

Transmitancja filtru:

$$F(s) = \frac{\mathcal{L}[u_y(t)]}{\mathcal{L}[u_x(t)]}$$

Generator przestrajany napięciem

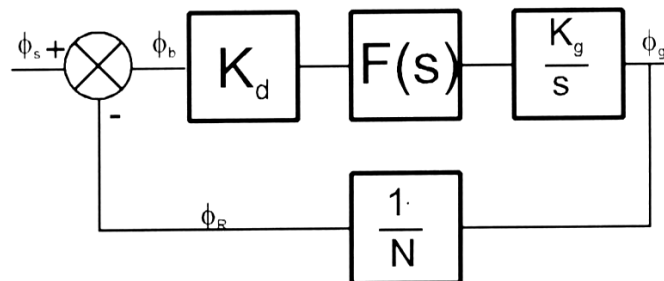
$$f_{wy} = F_g(u_y)$$

przybliżenie liniowe:

$$f_{wy} = K_g(u_y)$$

faza wyjściowa jest całką częstotliwości

$$\phi_g = \frac{K_g}{s} u_y$$



Transmitancja otwartej pętli

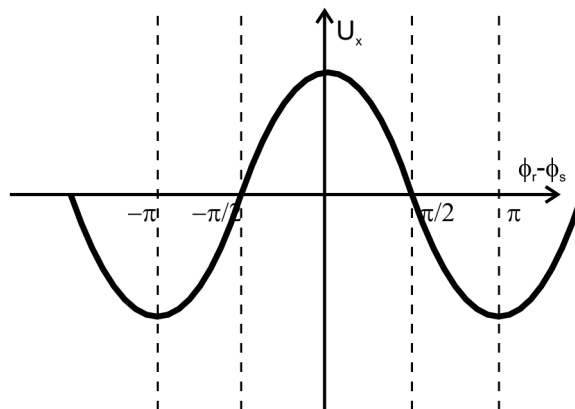
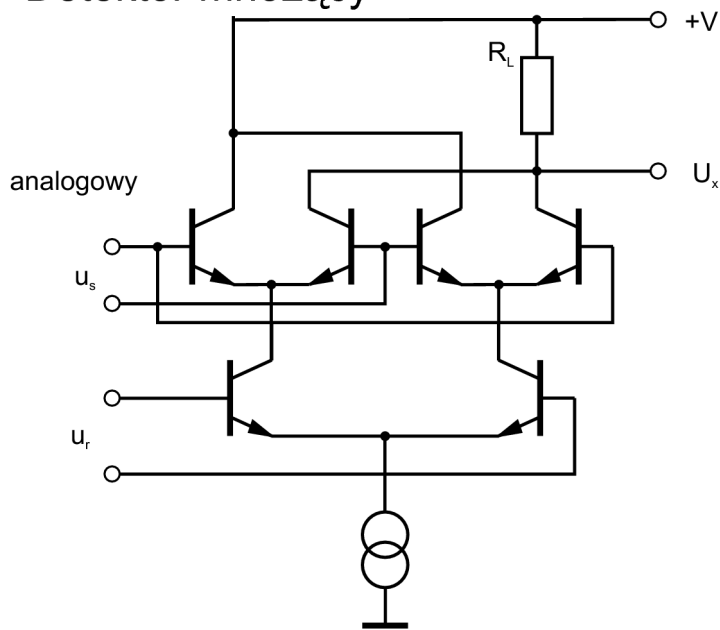
$$\left[ \frac{\phi_g(s)}{\phi_s(s)} \right]_O = \frac{K_d K_g F(s)}{N s} = \frac{K}{s} F(s)$$

Transmitancja zamkniętej pętli

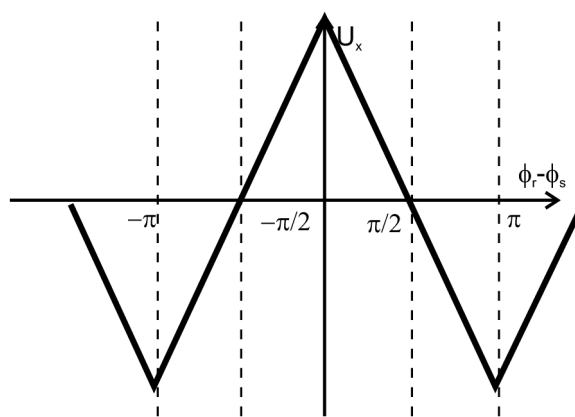
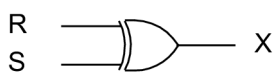
$$\frac{\phi_g(s)}{\phi_s(s)} = \frac{K F(s)}{s + K F(s)}$$

# Detektory fazy w pętach PLL

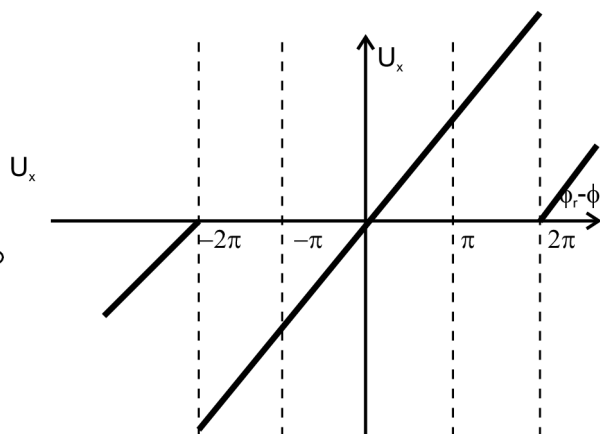
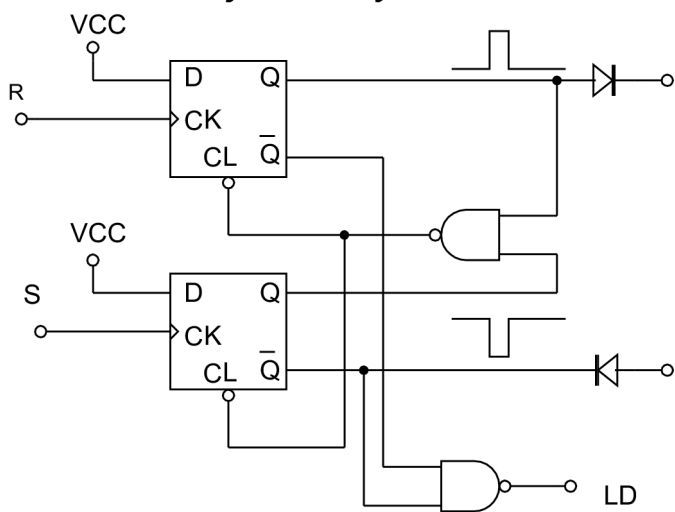
## Detektor mnożący



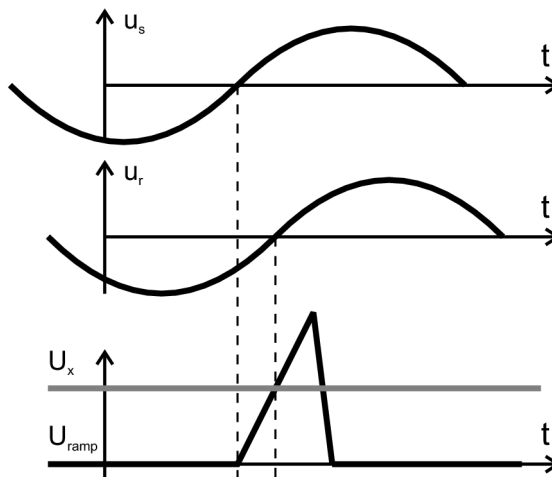
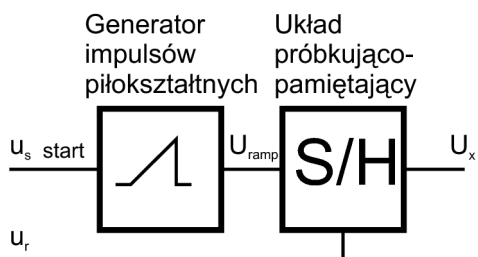
cyfrowy



## Detektor trójstanowy

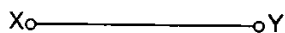


## Próbkująco-pamiętający detektor fazy (Sample and Hold)

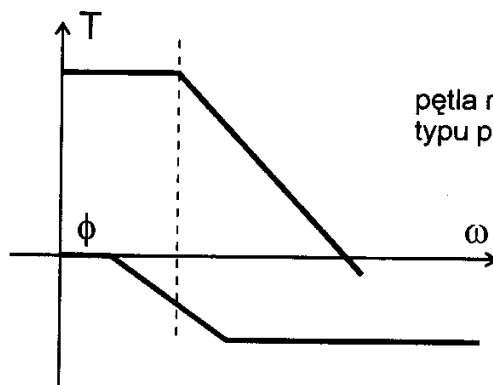


# Struktury filtrów pętli PLL

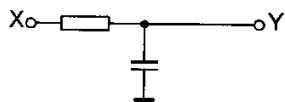
1. (bez filtru)



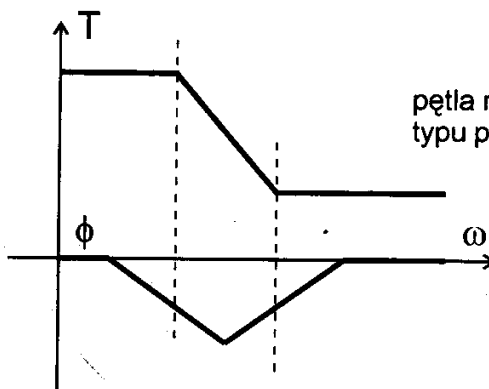
pętla rzędu pierwszego



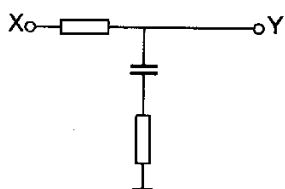
2.



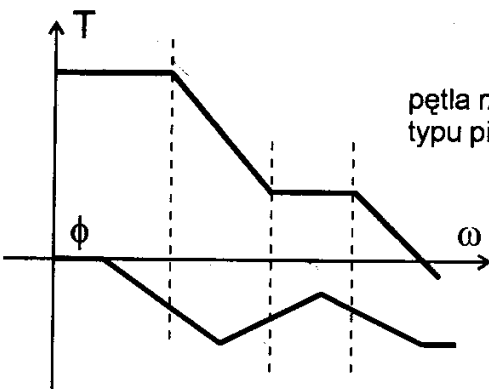
pętla rzędu drugiego typu pierwszego



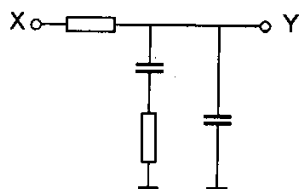
3.



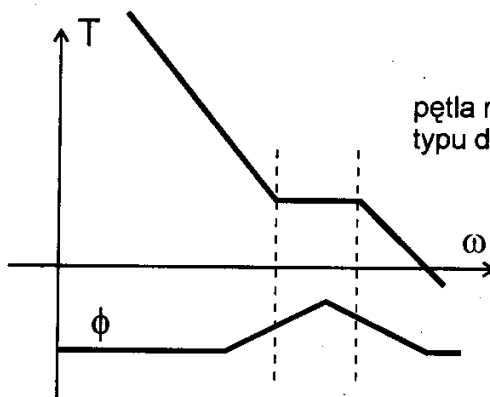
pętla rzędu drugiego typu pierwszego



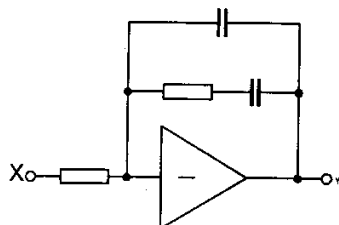
4.



pętla rzędu trzeciego typu pierwszego



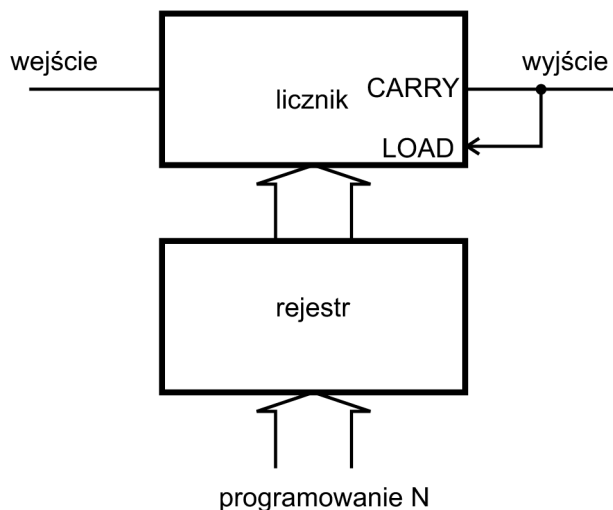
5.



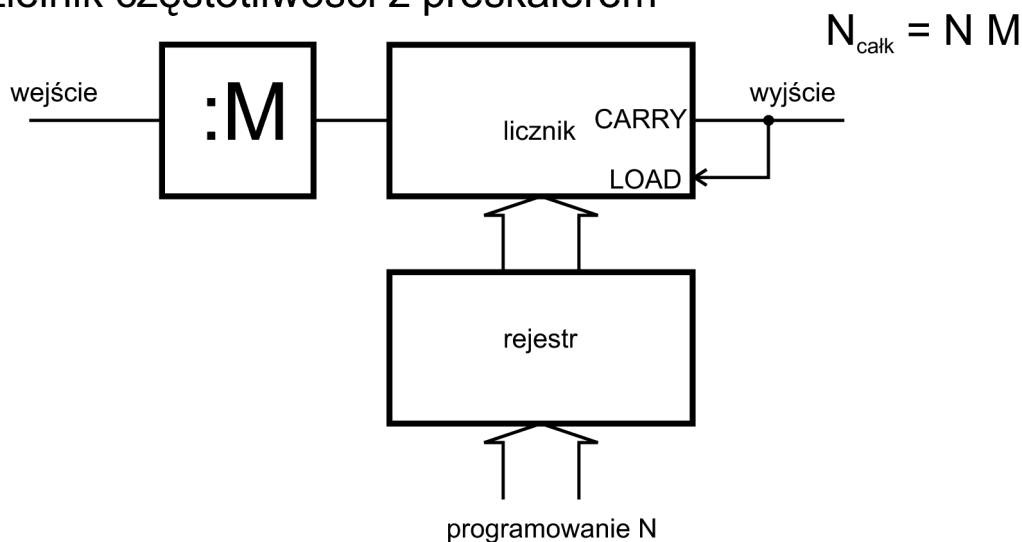
pętla rzędu trzeciego typu drugiego

# Dzielniki częstotliwości pętli PLL

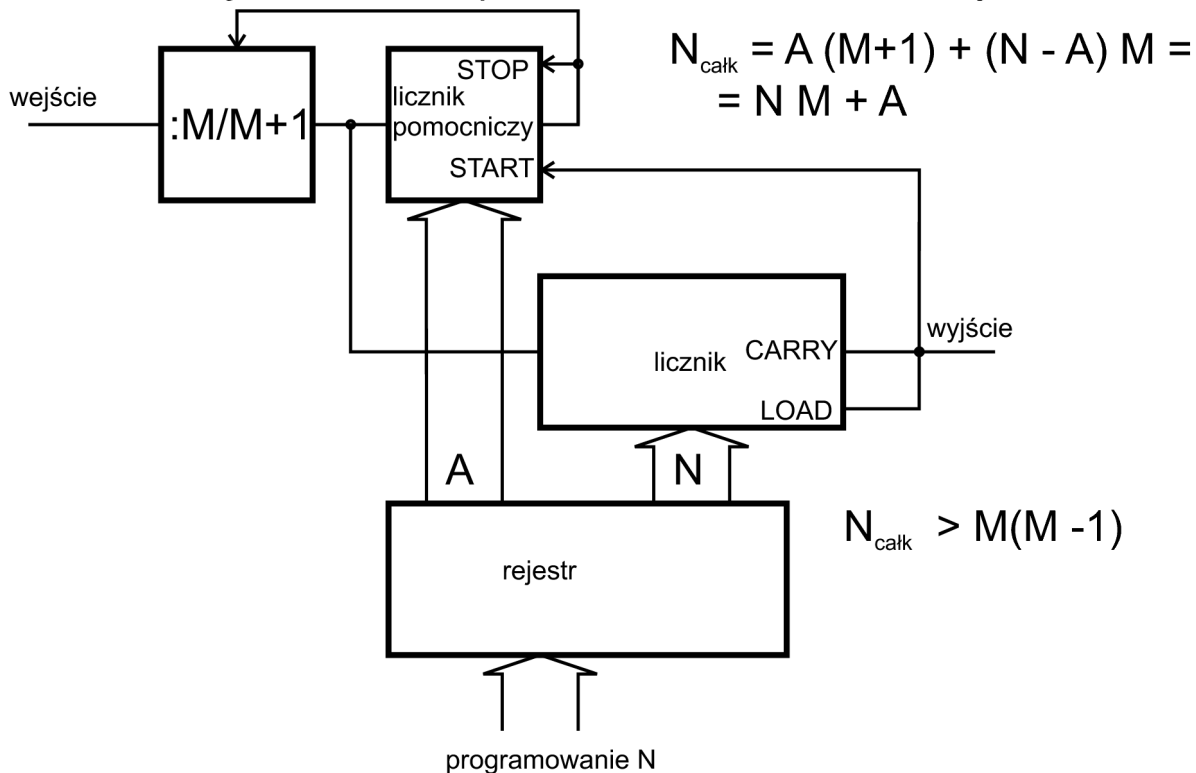
## Pojedynczy dzielnik częstotliwości

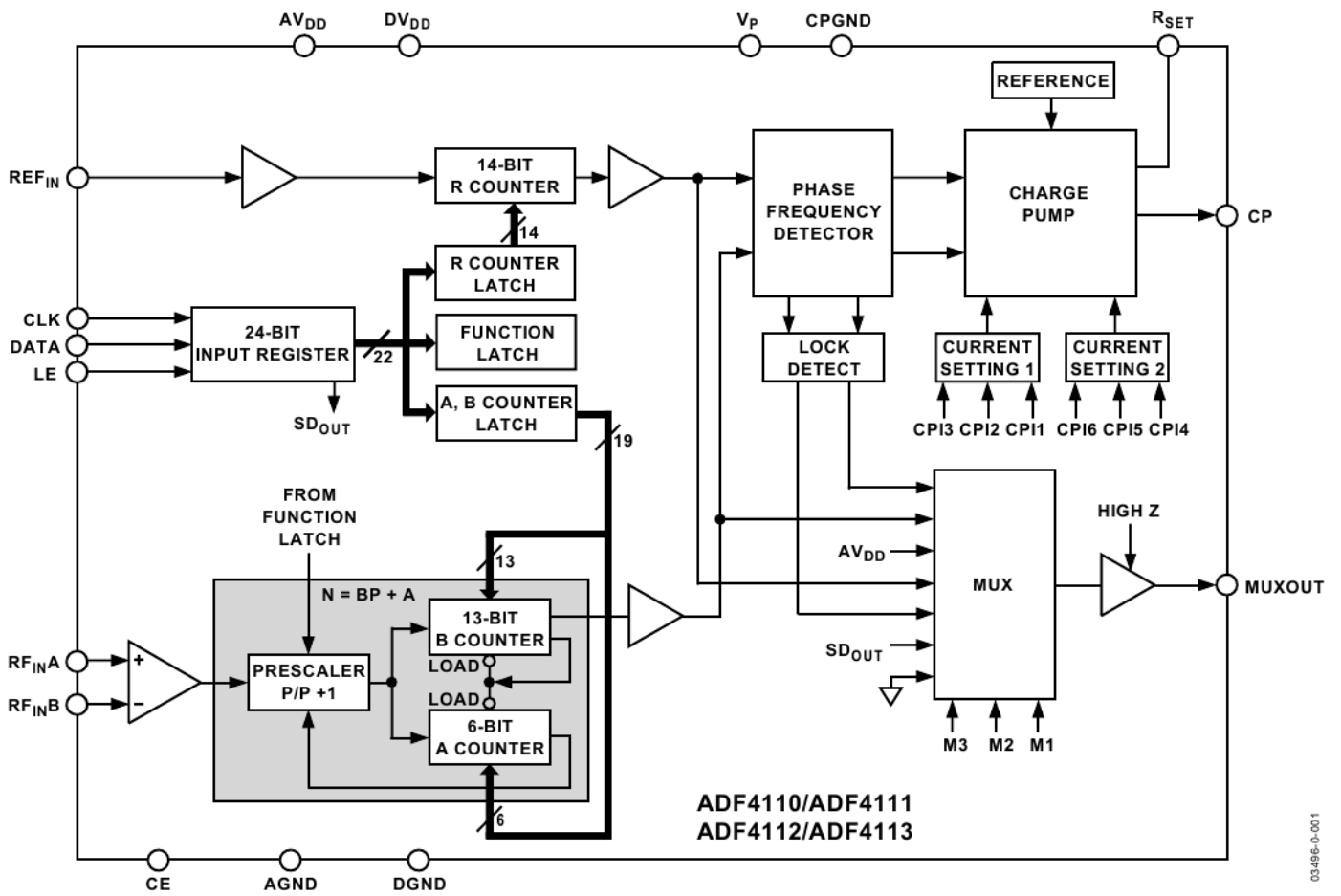


## Dzielnik częstotliwości z preskalerem

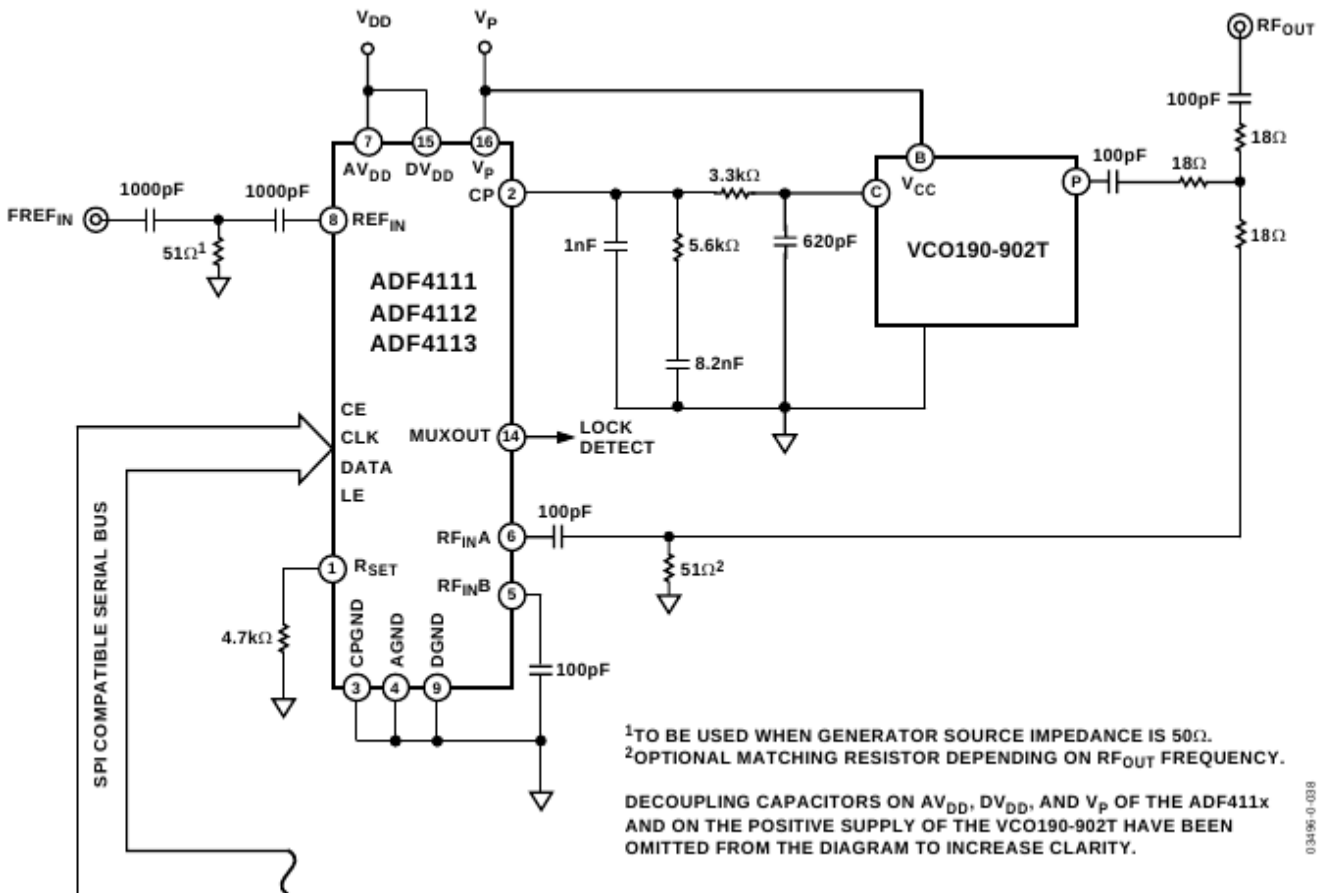


## Dzielnik częstotliwości z preskalerem dwumodułowym



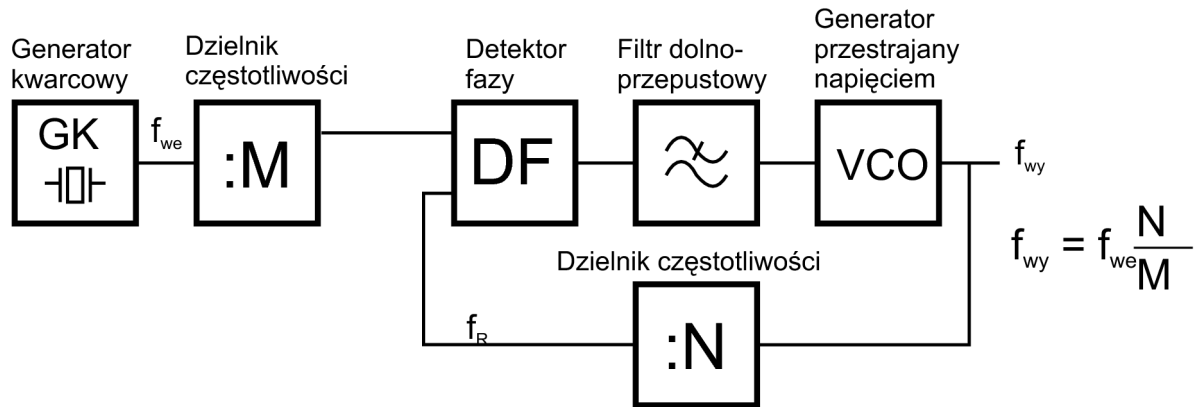


03496-0-001

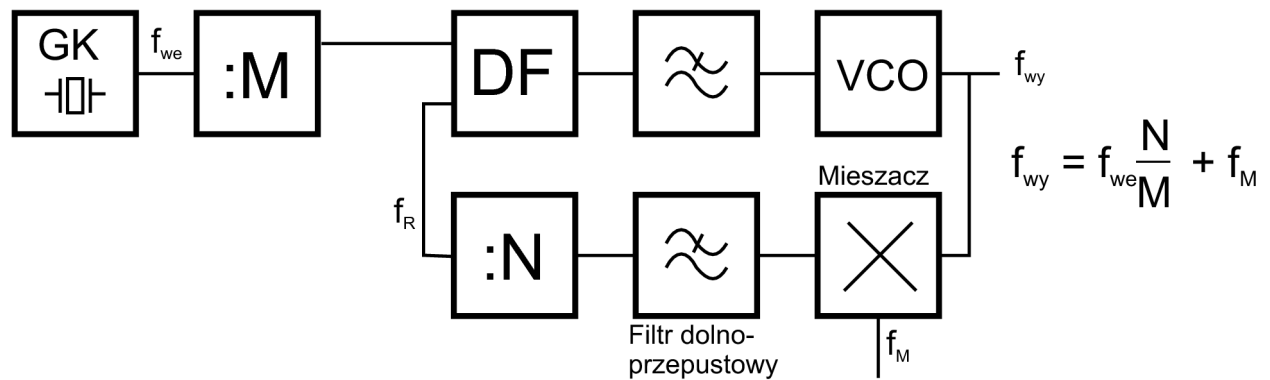


03496-0-003

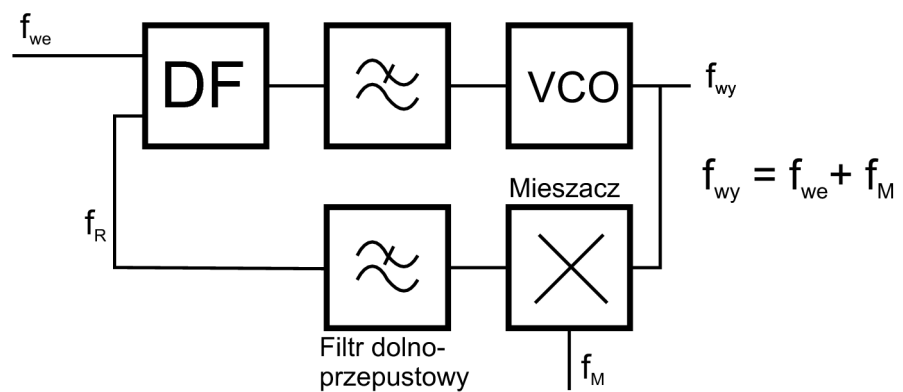
## Układ syntezy częstotliwości z pętlą PLL



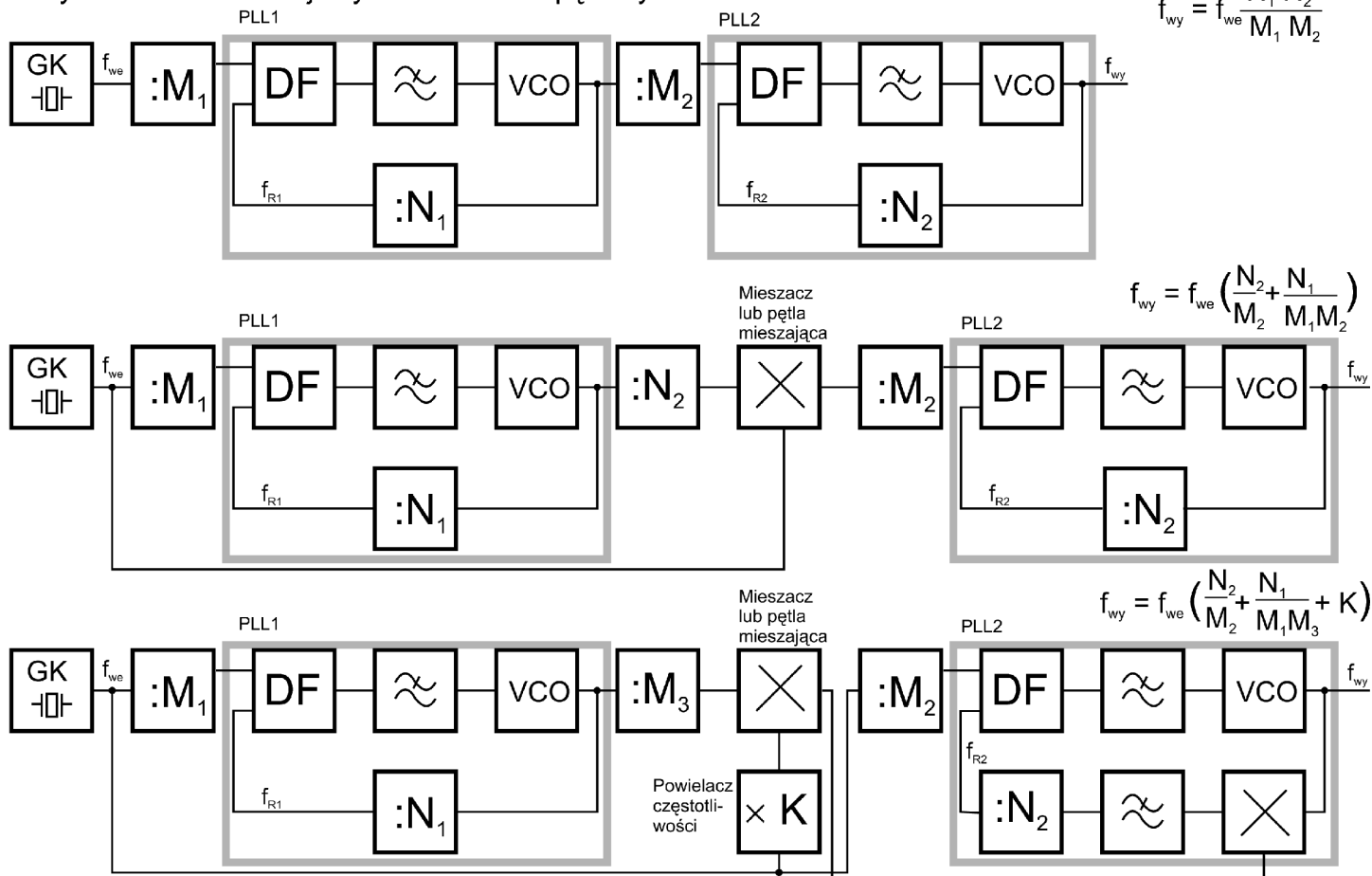
## Układ syntezy częstotliwości z pętlą PLL z mieszaniem



## Pętla PLL jako mieszacz

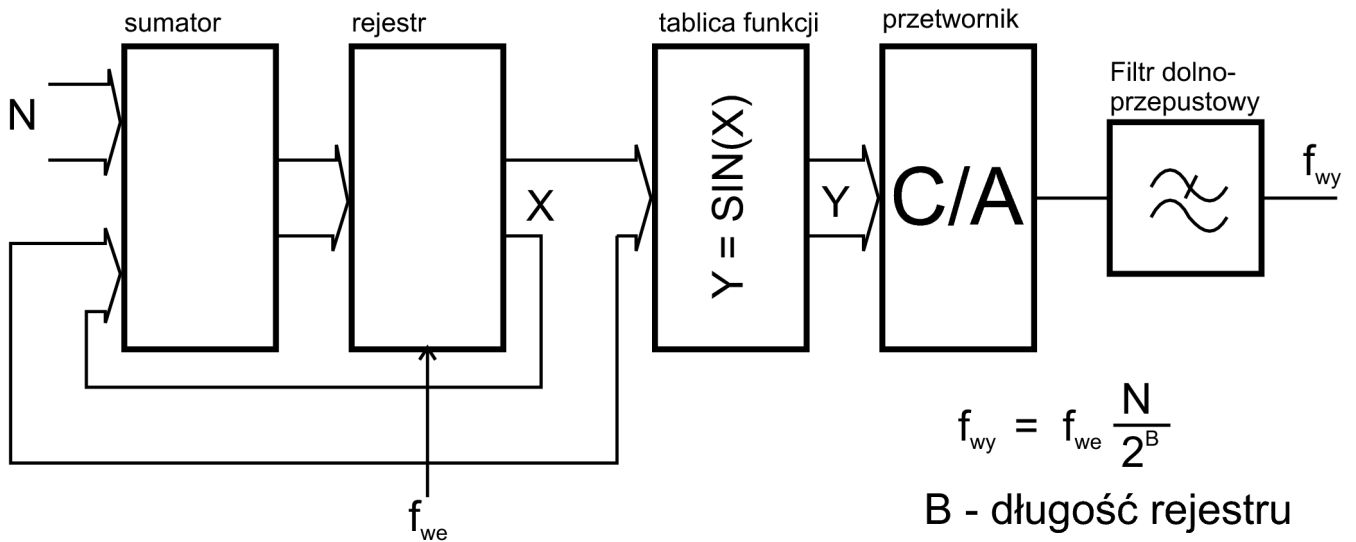


Przykładowe konstrukcje syntezerów wielopętlowych





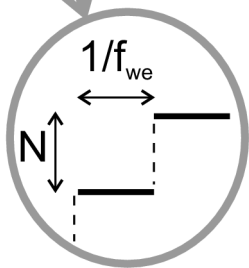
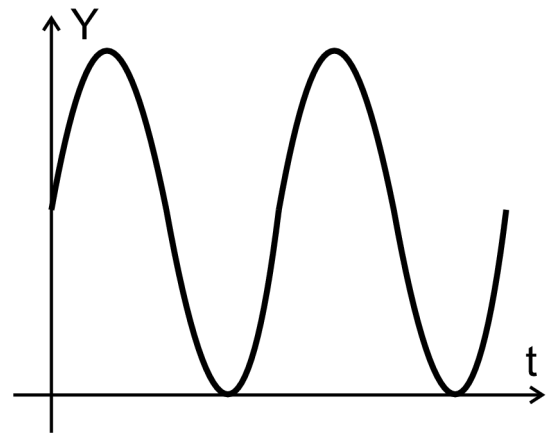
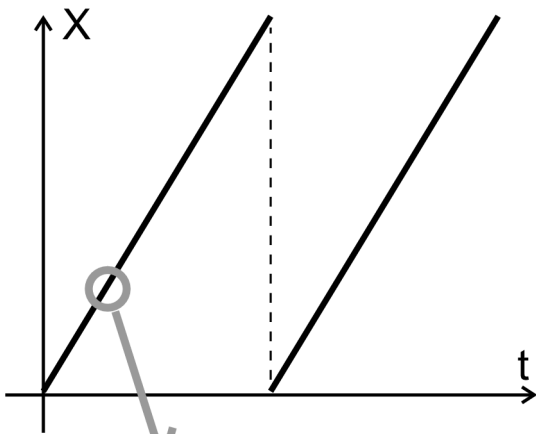
# Bezpośrednia synteza cyfrowa (DDS - Direct Digital Synthesis)



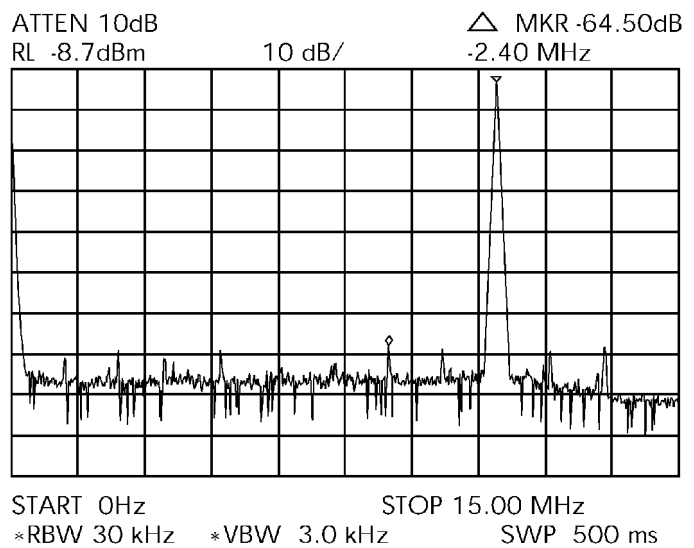
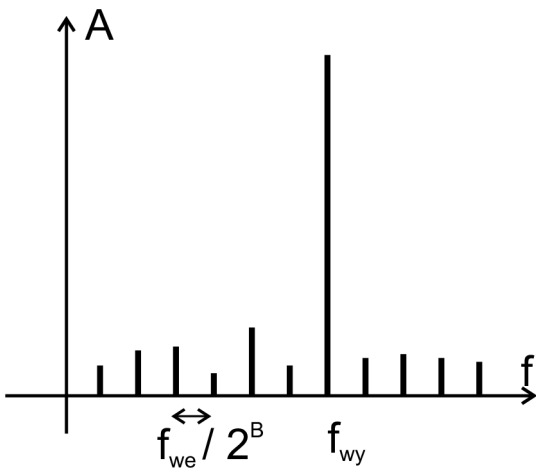
$$f_{wy} = f_{we} \frac{N}{2^B}$$

B - długość rejestru

$$N < 2^{B-1}$$



Widmo sygnału wyjściowego układu DDS



# Synteza DDS - PLL

$$f_{wy} = f_{we} \left( \frac{N_2}{M_2} + \frac{N_1}{B} + K \right)$$

